

⑫ 公開特許公報 (A)

昭57—78168

⑤ Int. Cl.³

H 01 L 29/36

29/72

29/76

29/80

識別記号

庁内整理番号

7514—5F

7514—5F

7377—5F

7925—5F

⑬ 公開 昭和57年(1982)5月15日

発明の数 1

審査請求 未請求

(全 13 頁)

⑭ 半導体装置

⑯ 特 願 昭56—140465

⑰ 出 願 昭56(1981)9月8日

優先権主張 ⑱ 1980年9月8日 ⑲ オランダ

(NL) ⑳ 8005053

㉑ 発 明 者 ヘンリカス・マリア・ヨセフ・
バエスオランダ国アインドーフエン・
ピエテル・ゼーマンストラート
6㉒ 発 明 者 ヨハネス・アルノルダス・ア
ツペルス㉓ 発 明 者 アドリアヌス・ウイレム・ルデ
イクヒユイツエオランダ国アインドーフエン・
ピエテル・ゼーマンストラート
6㉔ 出 願 人 エヌ・ペー・フィリップス・フ
ルーイランペンファブリケン
オランダ国アインドーフエン・
エマシゲル29

㉕ 代 理 人 弁理士 杉村暁秀 外1名

明 細 書

1. 発明の名称 半導体装置

2. 特許請求の範囲

1. 第1導電形の基板領域と、該基板領域上に備えられた表面に隣接する層状半導体領域とを具える半導体本体を有し、前記層状半導体領域の少なくとも一部分は第2導電形であつて前記基板領域とp-n接合を形成しており、前記層状半導体領域内に半導体回路素子の少なくとも一つの区域を備えており、前記層状半導体領域の第2導電形の、原子/単位表面積での全体の正味のドーピング量を、前記p-n接合に逆方向電圧を印加した時このp-n接合の降伏電圧より低いある電圧でこのp-n接合から表面にまで少なくとも局部的に空乏区域が处在するような少ない量となしてある半導体装置において、前記層状半導体領域は少なくともその一部分の面積にわたり、前記表面に垂直な方向に、ある与えられた導電形の、異なる平均的な正味のドーピング濃度の少な

くとも2つの層部分を具えるドーピングプロフィールを有して成ることを特徴とする半導体装置。

2. 前記層状半導体領域の、少なくとも基板領域に隣接する第2導電形の部分を前記基板領域よりも高濃度にドーピングしてあることを特徴とする特許請求の範囲1記載の半導体装置。

3. 異なる正味のドーピング濃度をもつた前記層部分は前記層状半導体領域の縁まで延在していることを特徴とする特許請求の範囲1または2記載の半導体装置。

4. 前記層状半導体領域を完全に第2導電形としたことを特徴とする特許請求の範囲1～3のいずれか一つに記載の半導体装置。

5. 最大平均ドーピング濃度を有する層部分は基板領域に隣接していることを特徴とする特許請求の範囲4記載の半導体装置。

6. 前記最大平均ドーピング濃度を有する層部分は基板にインプラントレーションされた第2

- 導電形の層によつて形成されていることを特徴とする特許請求の範囲 5 記載の半導体装置。
7. 前記最大平均ドーピング濃度を有する層部分は表面に露接していることを特徴とする特許請求の範囲 4 記載の半導体装置。
8. 前記層状半導体領域は前記基板領域に露接した第 2 導電形の少なくとも 1 個の第 1 層部分と、該第 1 層部分の上に備えられた第 1 導電形の少なくとも 1 個の第 2 層部分とを具え、第 1 導電形の層部分は前記基板領域の電位とほぼ等しい電位の部分に接続されており、さらに表面に露接した上側層部分自体を、前記 p-n 接合に印加され降伏電圧よりも低いある電圧で、完全に空乏化せしめるための手段を備えることを特徴とする特許請求の範囲 1 ~ 3 のいずれか一つに記載の半導体装置。
9. 前記手段は前記層部分の十分に低いドーピング濃度に存することを特徴とする特許請求の範囲 8 記載の半導体装置。
10. 前記上側層部分からは絶縁層によつて分離され、前記上側層部分の下面にある層部分の電位にほぼ等しい電位の部分に接続されたフィールド電極によつて前記手段を形成してなることを特徴とする特許請求の範囲 8 記載の半導体装置。
11. 第 1 導電形の前記層部分は第 1 導電形の半導体区域によつて前記基板領域に接続されていることを特徴とする特許請求の範囲 8 記載の半導体装置。
12. 前記層状半導体領域は交互に導電形の異なる多数の順次の層から成り、第 2 導電形の層部分はほぼ同一電位の部分に相互に接続されていることを特徴とする特許請求の範囲 8 記載の半導体装置。
13. 前記第 2 層部分は前記表面に露接していることを特徴とする特許請求の範囲 8 記載の半導体装置。
14. 前記第 2 層部分は局部的にさえぎられていることを特徴とする特許請求の範囲 13 記載の半導体装置。
15. 少なくとも 1 個の前記層部分はエピタキシャル成長層によつて形成されていることを特徴とする特許請求の範囲 1 ~ 14 のいずれか一つに記載の半導体装置。
16. 前記半導体領域は島状でありかつ、前記表面から該半導体領域の厚さ全体にわたりほぼ延在している分離領域によつて横方向を制限されていることを特徴とする特許請求の範囲 1 ~ 15 のいずれか一つに記載の半導体装置。
17. 前記分離領域は第 1 導電形の半導体区域によつて形成されていることを特徴とする特許請求の範囲 16 記載の半導体装置。
18. 前記分離領域は前記半導体本体中に少なくとも部分的に埋込まれた電気絶縁材料のバターンによつて形成されていることを特徴とする特許請求の範囲 16 記載の半導体装置。
19. 前記基板領域は少なくとも 10^{14} 原子/cm³ 及び最大でも 10^{15} 原子/cm³ のドーピング濃度を有し、及び前記層状半導体領域の全体の正味のドーピング量は少なくとも 8×10^{11} 原子/cm² 及び最大でも 1.5×10^{12} 原子/cm² であることを特徴とする特許請求の範囲 1 ~ 18 のいずれか一つに記載の半導体装置。
20. 前記層状半導体領域に接合形電界効果トランジスタ (JFET) のチャネル領域を形成していることを特徴とする特許請求の範囲 1 ~ 19 のいずれか一つに記載の半導体装置。
21. 前記層状半導体領域はラテラルの自己整合絶縁ゲート形電界効果トランジスタ (DMOST) のドレイン区域及びチャネル区域に露接していることを特徴とする特許請求の範囲 1 ~ 19 のいずれか一つに記載の半導体装置。
22. 前記層状半導体領域はバイポーラトランジスタのコレクタ領域に属していることを特徴とする特許請求の範囲 1 ~ 19 のいずれか一つに記載の半導体装置。
- ### 3. 発明の詳細な説明
- 本発明は第 1 導電形の基板領域と、該基板領域上に備えられた表面に露接する層状半導体領域とを具える半導体本体を有し、前記層状半導体領

域の少なくとも一部分は第2導電形であつて前記基板領域とp-n接合を形成しており、前記層状半導体領域内に半導体回路素子の少なくとも一つの区域を備えており、前記層状半導体領域の第2導電形の、原子/単位表面積での全体の正味のドーピング量を、前記p-n接合に逆方向電圧を印加した時このp-n接合の降伏電圧より低いある電圧でこのp-n接合から表面にまで少なくとも局部的に空乏区域が延在するような、少ない量となしてある半導体装置に関する。

ここで"与えられた導電形の正味のドーピング量 (nett doping)"とは代数学的意味で理解すべきであつて、例えばn形領域は正のn形ドーピング濃度を有しているがしかし負のp形ドーピング濃度を有しているともいえる。

さらに、動作状態において、例えば基板に平行に流れる電流のために、前記p-n接合を横切る全ての点で同一逆電圧が存在する必要はない点に留意すべきである。

このような電流によつて生ずる電圧降下のため、

著しく高いかも知れず、(p-n接合が平らでかつ無限に伸びているとみなした)一次元的に計算された値に極めて近いかわ又はこれに等しいかも知れない。その原因はp-nの接合の逆方向電圧が高いと、表面での電界強度は層状領域の完全な空乏化によつて著しく低減することである。

しかしながら、層状領域の正味のドーピング量は比較的少なくなければならないので、斯様な半導体装置の、均質にドーピングされた層状領域を経て電流を流がす能力はやや小さい。ドーピング濃度を高めることはこの場合の解決策とはならない。なぜならばその場合には高電圧であつても層状領域を最早完全に空乏化することが出来ず、従つてp-n接合の降伏電圧を低減してしまうからである。

上述した既知装置の他の欠点は、第1導電形の活性区域(例えばトランジスタのベース区域)が層状半導体領域中に存在するときは、ある状況の下では基板領域から前記活性区域まで空乏区域が広がるいわゆるつきめけ現象が生じてしまうこと

例えば、層状半導体領域は逆電圧が高い場所では表面にまで完全に空乏化されかつ逆電圧が低い場所では表面にまで完全には空乏化されない状態が生じ得る。本質的には空乏化は表面電界強度 (surface field strength) が高い場所での層状半導体領域の厚さ全体にわたつて生ずるべきである。

前述した種類の半導体装置(いわゆる"RESURF"装置、尚"RESURF"とは"低減された表面電界 (Reduced Surface Field)"の略称である)は刊行物:「Philips Journal of Research」、Vol. 35、No. 1、1980、pp. 1~13の記載から既知である。

かかる装置は本願人によるオランダ国特許出願第7800582号、第7807834号及び第7807835号及び対応する米国特許出願第004003号及び第004004号にも記載されている。これら既知装置の層状半導体領域はほぼ均質にドーピングされている。

前述の刊行物にも記載されているように、前述した種類の半導体装置中のp-n接合の降伏電圧は

である。この現象は特にエミッタホロウへの応用の際に生じる。

さらに、加えて、前述した既知装置ではエピタキシャル層のドーピングと厚さの変化が容易に生じこれが電気特性に重大な影響を及ぼし得るので、これら既知装置の再現性が度々困難となる。

本発明の目的の一つは既知装置に生ずる前述した欠点を無くすか少なくとも著しく減少させることにある。

従つて、本発明の目的は装置中に生じて表面に平行に層状領域を経て流れる電流に対する抵抗を既知の構造の"RESURF"装置における抵抗よりも著しく低減させてありしかも"つきめけ現象"の生ずるおそれを無くしたような前述した種類の半導体装置を提供するにある。

本発明は特にこの目的の達成は層状領域の厚さ方向における適切なドーピングプロファイルを使用することによつて図ることができるという事実、の認識に基づいて成されたものである。

従つてこの目的の達成のため、本発明によれば

半導体領域は少なくともその一部分の面積にわたり、前記表面に垂直な方向に、ある与えられた導電形の、異なる平均的な正味のドーピング濃度の少なくとも2つの層部分を具えるドーピングプロフィールを有して成ることを特徴とする。

本発明を使用することによつて、横方向電流が装置に生ずる場合には、全体のドーピング量の大部分をこれら電流を通す層部分中に与え、よつて電気抵抗を著しく低減させることが出来ると共にその場合であつても全体の正味のドーピング量は非常に少ないので層状領域の完全な空乏化をp-n接合の降伏電圧よりも十分に低い逆方向電圧で達成することが出来る。

その上さらに、本発明を使用する場合には、表面領域に隣接する層部分に層状領域の残りの部分よりも高い平均的なドーピング濃度を与えることによつて、上述したような基板領域からの“つきぬけ現象”の生ずるおそれを回避することが出来る。

本発明の特に重要な他の好適実施例によれば、

この明細書では最終のp-n接合と表面との間の層部分を意味するものと解する。

前述の手段は好ましくは最終層部分の十分に低いドーピング濃度に存する。このようにする代わりに、上側層部分から分離されかつこの上側層部分の下側にある層部分の電位にほぼ等しい電位に接続されたフィールド電極を用いることも出来る。

この第1導電形の層部分を基板領域とほぼ同じ電位にする簡単な方法は第1導電形の半導体区域（例えば前述した分離領域）によつて前述の層部分を基板領域に接続することである。しかしながら、他の方法を用いることも出来ること明らかである。“ほぼ同じ電位”とはこの場合には最大でも数p-n接合拡散電圧（数ボルト）の電位差を意味するものである。

ある応用の場合には、層状領域が基板に隣接している第2導電形の第1層部分をその上に存在する第1導電形の表面に隣接している第2層部分から成る場合には、第2層部分を局部的にさえぎるようにすることが有益となり得る。

層状半導体領域は前記基板領域に隣接した第2導電形の少なくとも1個の第1層部分と、該第1層部分の上に備えられた第1導電形の少なくとも1個の第2層部分とを具え、第1導電形の層部分は前記基板領域の電位とほぼ等しい電位の部分に接続されており、さらに表面に隣接した上側層部分自体を前記p-n接合に印加され降伏電圧よりも低いある電圧で、完全に空乏化せしめるための手段を備えるようになることが出来る。その結果、基板領域に隣接する層部分の平均ドーピング濃度を基板領域から表面にまで唯一の導電形を有している層状領域の場合におけるよりも一層高く選定し得る。それは少なくとも1個の層部分が2つの平行なp-n接合^{又はp-n接合}部分間に存在するために、この層部分が少なくとも2つの側部から空乏化されるためである。この実施例を、交互に導電形の異なる順次に重ねた数個の層部分から成り、第2導電形の層部分を、例えば半導体区域を経てほぼ同一の電位の部分に相互に接続させて成る層状半導体領域に拡張することが出来る。前述した上側層部分は

特に高い表面電界強度が層状半導体領域の縁で生ずるような装置では、異なる正味のドーピング濃度をもつた前述の層部分が半導体領域の縁にまで延在するようになるのが好ましい。

多くの“RESURF”装置の場合のように、本発明は、基板領域に隣接する層状領域の少なくとも第2導電形の部分のドーピング濃度を基板領域のドーピング濃度よりも高くした場合に、最も関係がある。

以下、図面につき本発明の実施例を説明する。尚、図は概略的に示したものであつて実際の寸法に比例した寸法で示したものではない。さらに一般に対応する部分には同一参照番号を付して示す。また、同一導電形の半導体領域には同一方向の斜線を付して示す。

第1、3、4、6、8及び9図において、表面上の、接触窓が設けられる酸化物層は図示の簡単化のため省略してある。

第1図は本発明による半導体装置の一部を断面として示す部分的斜視図である。半導体本体1

この例では結晶は第1導電形（この場合にはp形となる）の基板領域4及びこの領域上に存在しかつ表面2に隣接している層状半導体領域3とを具えている。この層状領域3のうち少なくとも基板領域4に隣接している部分をn形とししかつ、この例では、約 4.5×10^{14} 原子/cm³ のドーピング濃度（抵抗率約 $30 \Omega \cdot \text{cm}$ ）を有する基板領域よりもさらに高濃度にドーピングされている。この例では、層状領域3全体がn導電形であり、この領域と基板領域4とでp-n接合5を形成している。

層状半導体領域3の島状部分3Aの横方向を分離領域6によつて制限し、この例ではこの分離領域を表面2から層状領域3の厚さ全体にわたり延在しているp形半導体区域によつて形成する。

この島状領域内には半導体回路素子を設けるが、この場合にはこの回路素子をn形ソース及びドレイン区域7及び8とp形ゲート電極区域9とを有する接合形電界効果トランジスタ（JFET）とし得る。層状半導体領域3の全体のn形の正味ドーピング量（overall n-type net doping）、すなわち、

4.8×10^{15} 原子/cm³ のドーピング濃度をもたらしこれは約 $1.2 \Omega \cdot \text{cm}$ の抵抗率に対応する。

このような高抵抗率によつて、電界効果トランジスタの導通状態において、ゲート電極区域9と基板領域4との間のチャンネル領域中に不所望に高い直列抵抗を生じ得る。

この欠点を除去するか又は少なくとも著しく低減させるため、本発明によれば領域3を均質なドーピングとしない。この領域3を、第1図に示すように、破線10によつて分離される2つの重ねられた層部分3A1及び3A2に分割することが出来る。この場合、層部分3A1は層部分3A2よりも高い平均的な正味のドーピング濃度を有している。従つて島状領域3Aは表面に垂直な方向に不均質なドーピング・プロファイルを有する。この例では、層部分3A1の厚さを $1.4 \mu\text{m}$ 、層部分3A2の厚さを $1.1 \mu\text{m}$ としている。層部分3A1の平均ドーピング濃度は 7.2×10^{15} 原子/cm³（全体のドーピング量は 10^{12} 原子/cm²）であり、層部分3A2の平均ドーピング濃度は 1.8×10^{15} 原子/cm³（全体のドー

領域3の厚さ全体にわたる単位表面積当りの全体のドナー原子数から全体のアクセプタ原子数を引いた量は非常に少なくp-n接合5に逆方向に電圧を印加した時、降伏電圧よりも低い電圧において既に空乏区域が基板4から表面2までへと領域3の厚さ全体にわたつて延在するほどのものである。この場合には、この正味のドーピング量は 1.2×10^{12} 原子/cm² である。その結果、p-n接合に高い逆方向電圧を印加すると、前述した刊行物に十分に説明されているように、表面2での電界強度が著しく低減する。その結果、p-n接合5の降伏電圧を著しく高い値とすることが出来、この場合、p-n接合の降伏電圧は分離領域6と領域3Aとの間のp-n接合の縁での表面降伏によつてではなく基板のドーピング量によつて実質的に定まる。

領域3のドーピング量が均一であるときは、前述した空乏状態の結果抵抗率は比較的高い。この例では領域3の全体の厚さは約 $2.5 \mu\text{m}$ であり、ドーピングが均一である場合に全体のドーピング量が 1.2×10^{12} 原子/cm² とすると、この領域は

ピング量は 2×10^{11} 原子/cm²）である。従つて既に説明したように、領域3の全体の、正味のドーピング量は 1.2×10^{12} 原子/cm² であるが、層部分3A1の平均ドーピング濃度は均質にドーピングした場合よりも著しく高い。このように、ソース及びドレイン電極間で電流が流れるところの層部分3A1中に、全ドーピング量のうちのより多くの部分を集中させることによつて、直列抵抗を著しく低減することが出来る。

この不均質なドーピング濃度を種々の既知方法で得ることが出来る。第一実施例によれば、層部分3A1及び3A2を夫々エピタキシャル成長層で形成することが出来る。第2実施例によれば、表面の下側のある距離のところに最大濃度が存在するように一回のイオン・インプランテーションによつて或いは順次の複数回のイオン・インプランテーション・ステップによつて、層状領域3の不均質なドーピングを得ることが出来る。さらにはまた、例えば、坩堝がインプランテーションされた層部分3A1とその上にエピタキシャル成長によつ

て得たより低くドーピングされた層部分 3A2 とを有する組合わせを使用してもよい。所要に応じ拡散法を用いてもよい。所望の不均質なドーピング・プロファイルを得る方法は本発明にとつて重要ではなく当業者が既知の利用可能な方法から適当に選択出来る。

この例では、基板中に砒素イオンのインプランテーションを行ない、その後これら砒素イオンを通常の熱処理によつて活性化しかつ結晶の損傷を取り除く。次に、普通のエピタキシャル成長法を用いるが、このようにして得られたインプランテーションされた表面層上に $1.1\ \mu\text{m}$ の厚さの n 形砒素層 3A2 をエピタキシャル堆積させる。次に普通の方法で p⁺ 分離拡散領域 6 を設け、次に p 形ゲート電極区域 9 及び n 形ソース及びドレイン区域 7 及び 8 を別個の拡散工程で設け、これらの全てを約 $1.1\ \mu\text{m}$ の深さにまで設ける。

図示の簡略化のため、第 1 図を対称的に示しているが、図面のスペースを節約するため、ゲート電極区域 9 とソース区域 7 との間の距離を、ゲ-

ート電極区域と高電圧で作動されるドレイン区域 8 との間の距離よりも、短かくしてある。ソース区域からドレイン区域の方向にみて、分離区域 6 とソース区域 7 との間の距離は約 $10\ \mu\text{m}$ 、ソース区域 7 とゲート電極区域 9 との間の距離は $5\ \mu\text{m}$ 、ゲート電極区域とドレイン区域 8 との間の距離は $30\ \mu\text{m}$ 及び $\text{ドレイン区域 8 と分離区域 6 との間の距離も } 30\ \mu\text{m}$ であつた。またソース区域からドレイン区域の方向におけるソース及びドレイン区域 7 及び 8、及びゲート電極 9 の寸法は夫々 $10\ \mu\text{m}$ であつた。

第 2 図はゲート電圧ゼロの状態でのドレイン電流をソース及びドレイン区域間の電圧の函数として示した電気特性曲線図である。曲線 A は第 1 図の電界効果トランジスタに対する特性を示す。ピンチオフ電圧 V_p は $6.7\ \text{V}$ である。曲線 B は寸法及びピンチオフ電圧は同じであるが 1.2×10^{12} 原子/cm² の全体のドーピング量で均質にドーピングされた層状領域 3 を有している電界効果トランジスタに対する特性を示す。このように本発明によ

るドーピング・プロファイルを使用することによつて、層状領域 3 の厚さを同一のままにして、飽和電流が $210\ \text{mA}$ から $300\ \text{mA}$ に上昇することがわかつた。これら両者の場合において、ソース・ドレイン降伏電圧は約 $430\ \text{V}$ であつて一次元的に計算された降伏電圧の理論値 $450\ \text{V}$ に近い。これは層状領域 3 が前述の降伏電圧に達するかなり前に完全に空乏化されるからである。

前述した実施例においては、エピタキシャル層 3A2 を使用しているけれども、ドーピングをインプランテーションされた層 3A1 中に主として集中させているために、この層の厚さ及びドーピングの局所的变化は均質にドーピングされたエピタキシャル層状領域の場合におけるよりも特性（ピンチオフ電圧、飽和電流）に与える影響は比較的小さい。

第 3 図に断面図として線図的に示したような構造の電界効果トランジスタによつて、さらに良好な結果を得ることが出来る。この構造は第 1 図の構造と実質的に同一であるが、相違する点は層状

領域 3A のどの箇所においても同一導電形を有しているというのではなく、p 形領域 4 と隣接した n 導電形の第 1 層部分 3A1 と、その上に積たわつている p 導電形の第 2 層部分 3A2 から成っており、これら両層部分 3A1 および 3A2 が p-n 接合を形成する点にある。この第 2 層部分 3A2 は表面 2 と隣接し、従つて上側層部分を形成する。この層部分 3A2 は分離領域 6 を経て基板領域 4 に接続されており、従つてこの層部分はこの基板領域とほぼ同電位にある。層部分 3A1 及び 3A2 を組合わせた層部分 3A の全体にわたる n 形の正味の全ドーピング量（原子/cm²）は非常に少ないので、p-n 接合 5 に逆方向電圧を印加した時この接合 5 の層部分 3A1 及び 3A2 が、この p-n 接合 5 の降伏電圧よりも低いある電圧で、表面 2 まで完全に空乏化される。この n 形層部分 3A1 は p-n 接合 5 及び p-n 接合 31 の両方から空乏化されると共に p-n 接合 31 及び 5 を接続する p-n 接合 32 から横方向に空乏化される。上側層部分 3A2 は p-n 接合 31 からのみ空乏化される；これがため、好ましくは、この層部

分 3A2 自体もまたこの層が降伏電圧よりも低い p-n 接合 (5, 32, 31) に対する逆方向電圧で十分に空乏化されるような p 形の、低ドーピング量を有すべきである。また、上側層部分 3A2 を、この層 3A2 とは絶縁層 101 によつて分離されかつ下側層部分 (3A1) とほぼ同電位の例えば区域 8 に接続されているフィールド電極 (field electrode) 100 によつて、層部分の下側からのみならず上側からも空乏化するようになることも可能である。この構成を第 3 図に破線によつて示してある。

この電界効果トランジスタでの出発材料を p 形ドーピング濃度が約 5×10^{14} 原子/cm³ の基板とした。厚さが約 $5 \mu\text{m}$ であつ平均ドーピング濃度が 9×10^{15} 原子/cm³ である n 形エピタキシャル層を基板に堆積させた。このエピタキシャル層中に、 3.1×10^{12} イオン/cm² の量の硼素のインプラネーションにより、 $3 \mu\text{m}$ の深さの p 形層を形成した。従つて層部分 3A1 の厚さは約 $2 \mu\text{m}$ であり、その全体の、n 形の正味のドーピング量 (ドーピング濃度 (原子/cm³) に厚さ d (cm) を掛け合

せた量) は約 1.8×10^{12} ドナー原子/cm² である。この層部分 3A2 の厚さは約 $3 \mu\text{m}$ であり、その全体の、p 形の正味のドーピング量は $3.1 \times 10^{12} - (3 \times 10^{12})$ (9×10^{15}) = 4×10^{11} 原子/cm² であり、その平均的な正味の p 形のドーピング濃度は $\frac{3.1 \times 10^{12}}{3 \times 10^{-4}} - 9 \times 10^{15} = 1.3 \times 10^{15}$ 原子/cm³ である。層部分 3A1 及び 3A2 が一緒になつた全体の、n 形の正味のドーピング量は $1.8 \times 10^{12} - 4 \times 10^{11} = 1.4 \times 10^{12}$ 原子/cm² であり、これは十分に小さくて空乏化条件を満たすものである。

n 形ソース及びドレイン区域 7 及び 8、及び p 形電極区域 9 を、例えば拡散又はイオンインプラネーションによつて設けることが出来、その場合区域 7 及び 8 のしみ込みの深さを層部分 3A2 の厚さに少なくとも等しくする必要がある。

下側層部分すなわち第 1 層部分 3A1 と上側層部分 3A2 とを組合わせた層部分 3A のドナー原子/cm² での全体のドーピング量を決定する際に第 2 層部分 3A2 のドーピング量が負の符号をもつようにす

るため第 2 層部分 3A2 を第 1 層部分 3A1 の導電形とは反対の導電形となし、及び第 1 層部分 3A1 をいくつかの側部から空乏化するので、第 1 層部分 3A1 の平均ドーピング濃度は両層部分 3A1 及び 3A2 が同一導電形を示す場合におけるよりも高いかも知れない。第 3 図のタイプの電界効果トランジスタは第 2 図の A 及び B で示す曲線に対応する電界効果トランジスタと同一のピンチオフ電圧を有しておりかつ同じ降伏電圧及び幾何的形狀配置をもつており、この電界効果トランジスタの特性を第 2 図に曲線 C で示す。この場合の飽和電流は 400 mA である。

本発明は電界効果トランジスタに限定されるものではなくバイポーラ半導体装置にも適用出来る。第 4 図は、例えば、ベース、エミッタ及びコレクタ接続部 B、E 及び C を有するバイポーラ高電圧トランジスタを示す。このコレクタ区域を n 導電形の、島状のかつ層状の半導体領域 3A によつて形成し、この領域 3A を低ドーフト p 形基板領域 4 上に位置させると共にこの領域 3A を p 形分離

区域 6 によつて囲んでいる。p 導電形ベース区域 41 を分離区域 6 に接続する。n 形エミッタ区域 42 をこのベース区域 41 中に設け、n 形領域 3A を高ドーフト n 形コレクタ接触区域 43 によつて接触させる。この領域 3A の全体の正味のドーピング量は著しく少ないのでこの領域は降伏電圧よりも低い p-n 接合 5 に対する逆方向電圧において既にこの接合 5 から表面 2 まで完全に空乏化される。領域 3A に均質にドーピングを行なう斯様なバイポーラトランジスタは前述の刊行物「Philips Journal of Research」の第 5 図に記載されている。斯様なトランジスタによればコレクタ・ベース降伏電圧は高くこれは基板領域 4 のドーピング量 (doping) によつて実質的に定まる。

空乏化条件によつて要求されるコレクタ領域の比較的低いドーピング量のために、コレクタ接触区域 43 と、p-n 接合 5 に隣接するコレクタ領域の一部を経たベース区域 41 の下側のコレクタ領域 3A との間の抵抗はやや大きく、従つてこのタイプの既知トランジスタは電流を流す能力が比較的

小さい。さらに追加して、 n 形コレクタ領域 3A が p 形基板領域 4 よりも高い正の電圧にあるような回路の適用例、例えば、エミッタホロウ回路の場合には、ベース区域 61 とコレクタ接触区域 63 との間の領域 3A が表面 2 まで空乏化される前に、ベース区域 61 と基板 4 との間の領域 3A が p - n 接合 5 から（つきめけ現象により）完全に空乏化することが出来、その結果降伏電圧が低減される。

本発明によれば、第 1 図の実施例に示した様にコレクタ領域 3A を 2 つの層部分 3A1 及び 3A2 から形成し、これら両層部分を n 導電形とするが、電流が流れる基板隣接層部分 3A1 はその上側の層部分 3A2 よりも高い平均的な正味のドーピング濃度を有している。その結果、コレクタ直列抵抗は低減されているが、降伏電圧はコレクタ領域 3A を均質にドーピングした場合とほぼ等しい高い値に留まつておりかつ“つきめけ現象”の生ずるおそれを回避し得る。所望の電流利得に従がつて本発明の範囲内で厚さ及びドーピング (dopings) を所要の如く選定することが出来る。

電層 62 によつて接触させる。

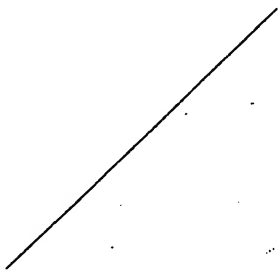
この装置では領域 3A の電流が流れる部分は表面に位置しており、これがため、この場合には本発明によれば領域 3A は基板に隣接している第 1 層部分 3A1 と、この第 1 層部分 3A1 よりも平均的な正味のドーピング濃度が高くかつ表面 2 に接した第 2 層部分 3A2 とから成っている。先の実施例における場合と同様に原子/cm² での、領域 3A の全体の正味のドーピング量は、最大でも、表面までの空乏化が p - n 接合 5 の降伏電圧より低い電圧で生ずるという条件に適した最大値に等しいようにすべきである。例えば、領域 3A 全体に対する正味のドーピング量を全体で 10^{12} ドナー原子/cm² とすると、層部分 3A2 は $1\mu m$ の厚さで 8×10^{15} 原子/cm³（従つて 8×10^{11} 原子/cm² の全体の正味のドーピング量）の平均ドーピング濃度を有し得ると共に層部分 3A1 は $2\mu m$ の厚さで 10^{15} 原子/cm³（従つて 2×10^{11} 原子/cm² の全体の正味のドーピング量）の平均ドーピング濃度を有し得る。従つて、主として電流が流れる層部分 3A2 は領域 3A が均

第 1 図及び第 4 図の例では、電流が流れる層部分が基板と接しているので、基板隣接層部分 3A1 を表面隣接層部分 3A2 より一層高濃度にドーピングしてある。しかし必ずしも常にこういう場合であるとは限らない。例えば、絶縁ゲート電界効果トランジスタの場合には、電流が流れる層部分が表面に隣接している。第 5 図に略線的に断面図で示す例は RESURF 原理に従つて構成された D -MOST タイプの斯様な電界効果トランジスタであり、すなわちこのトランジスタは、 p - n 接合 5 に逆方向電圧を印加した時この接合の降伏電圧に到達する前に n 導電形島状領域 3A が表面 2 まで既に空乏化されるものである。この装置はライン MM' に関して対称的であつて、ゲート電極 51 を半導体の表面 2 との間に薄いゲート酸化物層 52 が存在しており、 p 形チャンネル領域 53 及び n 形ソース区域 54 を領域 3A 中の同一窓を経て拡散形成し、及び高ドーブト n 形区域 55 をドレイン区域として設けている。ソース区域 54 及びチャンネル領域 53 を導電層 56 によつて短絡し、ドレイン区域 55 を導

質にドーピングされている（この場合そのドーピング濃度は $\frac{10^{12}}{3 \times 10^{-4}} = 3.3 \times 10^{15}$ 原子/cm³）場合よりも著しく高いドーピング濃度を有する。

第 6 図は本発明による装置の別の実施例を示す断面図であり、この装置は RESURF タイプのバイポーラ高電圧トランジスタであつて層状領域 3A を 2 つの反対導電形の層部分すなわち n 形層部分 3A1 と p 形層部分 3A2 とから形成している。このトランジスタは p 形ベース区域 61 と n 形エミッタ区域 62 を具えている。この変形された実施例では、表面 2 と隣接している p 形の第 2 層部分 3A2 に対し p 形分離領域 6 とベース区域 61 との間において、コレクタ区域 63 を局部的に割り込ませ、このコレクタ区域を層部分 3A2 を経て第 1 層部分 3A1 中へと延在させている。第 3 図の実施例における場合のように、 p 形層部分 3A2 の下側の n 形層部分 3A1 を比較的高濃度にドーピングし得るが、それにもかかわらず、層部分 3A1 及び 3A2 は降伏電圧よりも低い p - n 接合 5 間電圧で表面 2 まで空乏化される。その結果、動作状態ではベース区域 61 は

通常は基板 Ψ とほぼ同電位であるので、p-n接合 δ 従つてコレクタ-ベース接合の降伏電圧を高くすることが出来ると共に、それにもかかわらず層部分3A1が比較的高ドーピング濃度を有するためコレクタ直列抵抗は低い。この例では、層部分3A2のドーピングを十分に低くして降伏電圧よりも低いある電圧で前述の層部分の全体の空乏化を生ずるようにする必要がある。また第6図に示すトランジスタはエミッタ及びコレクタを共に基板 Ψ に対し高電圧とするエミッタホロウ回路に使用して好適である。



することが出来ないため、電界効果トランジスタが作動しないからである。これがため、この層部分3A2の多くの場所においてチャンネル領域74にまで延在しておらず、この層部分は領域74のそばのこれらの場所において表面まで延在している第1層部分3A1によつてさえざられている。第7図の平面図に示すように、この目的のため層部分3A2に穴75を設ける。これら穴と穴との間の層部分3A2は、この層部分3A2が一般には好ましくない浮き状態とならないように、ブリッジ部76を柱で領域74に接続して留まつている。第7A図は第7図のAA'線上に沿つて取つて示した断面図で、これらの場所ではD-MOSTは作動する。第7B図は第7図のBB'線上に沿つて取つて示した断面図で、これらの場所ではソース接続部Sからドレイン接続部Dへと電流は流れずD-MOSTは動作しない。さらに、第7図のドーピングプロファイルは領域3A2と Ψ との間の層部分3A1の双方向空乏化によつて第3図及び第6図の実施例と同じ利点を有し、前述の層部分3A1のドーピング濃度

第7図は絶縁ゲート電界効果トランジスタの一実施例を示す平面図であり、第7A図および第7B図はその断面図を夫々示し、この電界効果トランジスタでは、第3図及び第6図の実施例の場合のように、P形基板 Ψ 上に存在するn形の第1層部分3A1と、これに重畳されたP形の表面隣接層部分3A2とを有している層状半導体領域3Aを使用している。第7図に示す装置は第5図のトランジスタのように、D-MOSTタイプの電界効果トランジスタであり、n形ソース及びドレイン区域71及び72を有しこれらは接続部S及びDを夫々備え、さらに接続部Gを備えたゲート電極73及びP形チャンネル領域74を有している。本発明によれば、P形層部分3A2及びn形層部分3A1のドーピングは第3図及び第6図に示す実施例における場合と同一の条件を満たす必要がある。この場合にはP形層部分3A2を必ずしも全ての箇所でチャンネル領域74にまで続けて設けなくてもよい。その理由はこの場合にはゲート電極の範囲外に位置する層3A2の部分中には電流チャンネルを形成

を比較的高くし得ると共に直列抵抗を比較的小さくし得る。このD-MOSTもまたエミッタホロウ回路に使用し得る。

第8図は交互に導電形の異なる2個以上の順次の層部分をもつた層状領域3Aを有する装置の一例を示す断面図であり、この図に示すように、例えば相補形の、接合形電界効果トランジスタ(JFET)をもつた集積回路を構成することが出来る。

同図において、 n^+ ソース及びドレイン区域81及び82(これらの接続部 S_1 及び D_1)と、 p^+ ゲート電極区域83と、n形チャンネル領域3A1とを有するトランジスタ(JFET)は左側にある。極方向を p^+ 分離領域84によつて制限された層状半導体領域の島状部分3Aをn形第1層部分3A1、P形第2層部分3A2及びn形第3層部分3A3から形成してある。この場合にもまた領域3Aは、これがp-n接合 δ の降伏電圧に到達する前にP形基板 Ψ から表面 δ まで完全に空乏化されるような、正味のドーピング量(原子/cm)を有している。この目的のため、最終すなわち第3層部分である表

面隣接層部分 3A3 自体が、これを p-n 接合の降伏が生ずる前に第 2 層部分 3A2 から表面にまで空乏化出来るような、低いドーピング量を有するようになる。第 8 図に破線で示すように、ゲート電極区域 83 を半導体本体内及び層部分 3A2 内で p 形分離領域 6 に接続してこの領域を経て接続部 G_1 に接続する。

図の右側にある対応する層状半導体領域 3A' を層部分 3A1, 3A2 及び 3A3 と夫々同一の半導体層の部分をつつ形成する層部分 3A'1, 3A'2 及び 3A'3 から構成している。これら層部分のドーピングもまた同一の条件を満たしている。図に示すように、相補形トランジスタ (JFET) は p^+ ソース及びドレイン区域 84 及び 85 (これらの接続部を夫々 S_2 及び D_2 とする)、 n^+ ゲート電極区域 86 (その接続部を G_2 とする) 及び p 形チャンネル領域 3A'2 を有しており、この相補形トランジスタ (JFET) を島状領域 3A' 中に設けている。n 形チャンネル部分 3A'3 及び 3A'1 を環状 n 形区域 87 を経て一緒に接続する。このように、共に高電圧に好適である

2 つの相補形の、接合形電界効果トランジスタを同一半導体本体中に得る。これら n 形層部分を区域 81 及び 87 を経て同一電位の部分に接続し、これら p 形層部分を区域 6 を経て同一電位部分に接続するので、層部分 3A1 及び 3A2 はもとより層部分 3A'1 及び 3A'2 は垂直方向に 2 つの側から空乏化される。これに対し層部分 3A3 及び 3A'3 は下側からのみ空乏化されるにすぎない。また空乏化は全ての層部分の縁において分離領域 6 から生ずる。

上述した実施例においては、分離領域 6 は常に半導体区域からなっているが、ある場合にはその代わりに絶縁材料によつて形成した分離領域を使用することも可能である。例えば、第 9 図に示す変更された実施例は、分離領域 96 を (部分的に) 皿状穴に埋め込んだパターンとした酸化珪素によつて形成している点以外は全ての点において第 1 図の実施例と等しい。この分離領域 96 はある場合には完全に省略してよく、その場合には分離領域を溝によつて形成してメサ構造を得る。

層状領域 3A を降伏の発生する十分前に既に完全に空乏化するためにこの層状領域が満たさなければならないその寸法及び正味のドーピング濃度の条件 (いわゆる "RESURF" 条件) については前述したオランダ特許出願及び刊行物、「Philips Journal of Research」に記載されている。これらによると、正味のドーピング濃度 (原子/cm) と前述の領域 3A の厚さ d (cm) との積は所定の限界値以下でなければならない、この限界値は特に基板領域 4 のドーピングに依存する。珪素に対しては、少なくとも 10^{14} 原子/cm であつて最大でも 10^{15} 原子/cm の通常の基板ドーピング濃度とする場合には、層状領域 3A の全正味ドーピング量 $N \times d$ は約 10^{12} 原子/cm、好ましくは、少なくとも 8×10^{11} 原子/cm に等しく及び最大でも 1.5×10^{12} 原子/cm であるべきである。

本発明は上述した実施例にのみ限定されるものではない。例えば、珪素の代わりに例えばゲルマニウム或いは砒化ガリウムのような他の好適な半導体材料を用いてもよい。さらに、各実施例にお

いて、全ての半導体領域の導電形を (同時に) 反対導電形に置換してもよい。本発明は各層部分のドーピングに関する前述の条件を満たす条件の下で "RESURF" タイプの全ての半導体装置に適用し得る。また全ての実施例において、電気接続部を図に示すようにする必要はない。例えば第 1 図の装置においては、ゲート電極区域 9 を基板 4 から電氣的に分離してもよい。装置の基板領域を (第 2) ゲート電極として使用しない限りにおいては、これら基板領域を所要に応じて接地するか又は他の任意の基準電位点に接続してもよい。本発明の範囲を逸脱することなく多くの変更又は変形を行ない得ること明らかである。

4. 図面の簡単な説明

第 1 図は本発明による装置の一実施例を一部分を断面として示した部分的な略図的斜視図、第 2 図は本発明による装置の電気特性を従来装置の電気特性と対比して示す電気特性曲線図、第 3 図は本発明による別の装置の一実施例を示す略図的断面図、第 4 図は本発明によるさらに他の装置の

一実施例を一部分を断面として示した部分的な略図的斜視図、第5図は本発明によるD-MOSトランジスタの一実施例を示す略図的断面図、第6図は本発明によるさらに他の装置の一実施例を一部分を断面として示した部分的な略図的斜視図、第7図～第7B図は本発明による他のD-MOSトランジスタの一実施例を夫々示す平面図及び断面図、第8図は本発明による相補形JFETを有する集積回路の一実施例を示す略図的断面図、第9図は第1図に示す装置の変更例を示す線図である。

1…半導体本体、2…表面、3…半導体領域、3A、3A'…島状領域、3A1、3A2、3A3、3A'1、3A'2、3A'3…層部分、4…基板領域、5、31、32…p-n接合、6、96…分離領域、7、54、71、81、84…ソース区域、8、72、82、85…ドレイン区域、9、83…ゲート電極区域、41、61…ベース区域、42、62…エミッタ区域、43…コレクタ接触区域、51、73…ゲート電極、52…酸化物層、53、74…チャネル領域、55、87…区域、56、57…導電層、63…コレクタ区域、75

特許出願人 エヌ・ペー・フィリツクス・フルーイランベンフアブリケン

代理人弁理士 杉 村 隆 秀

同 弁理士 杉 村 興 作

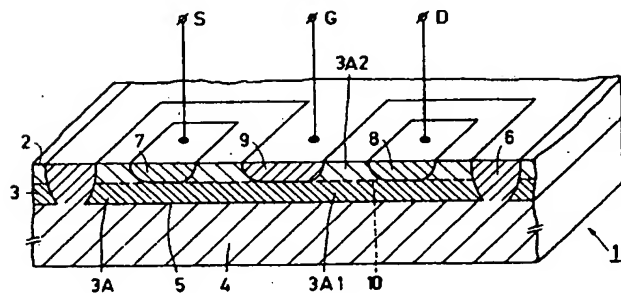


FIG1

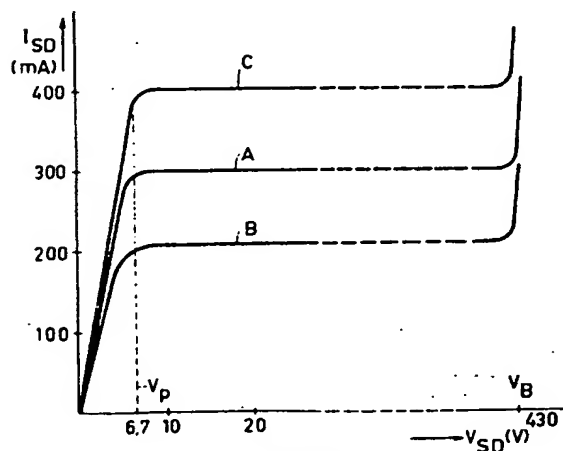


FIG2

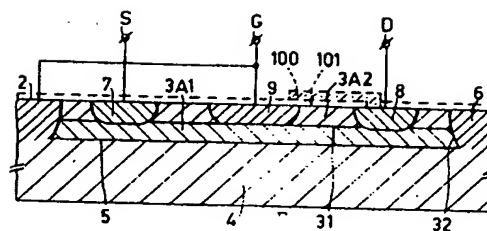


FIG3

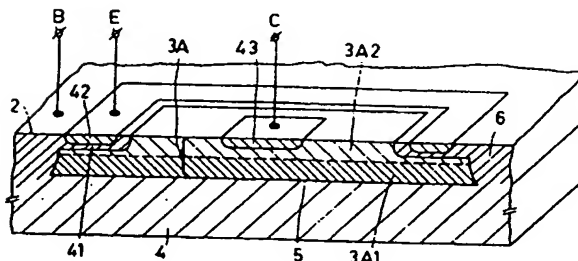


FIG4

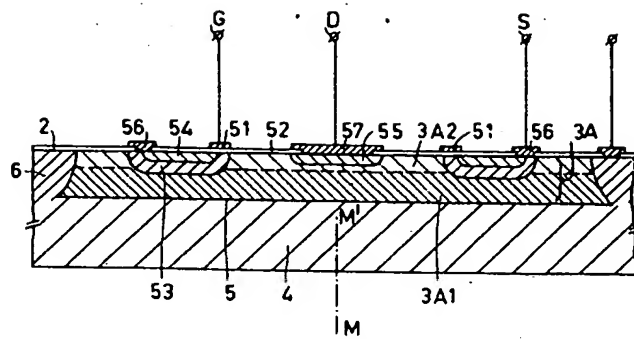


FIG. 5

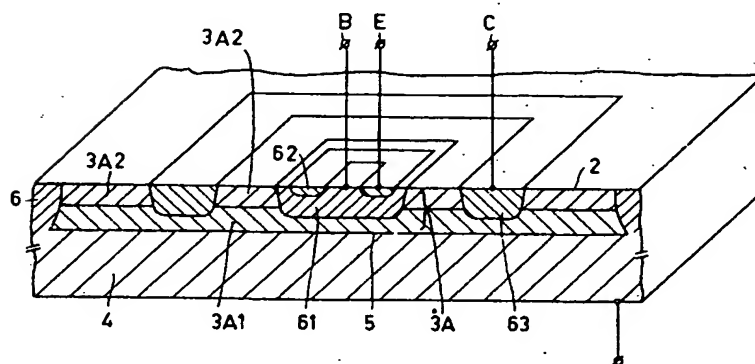


FIG. 6

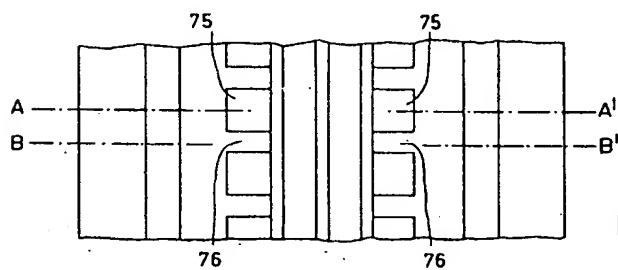


FIG. 7

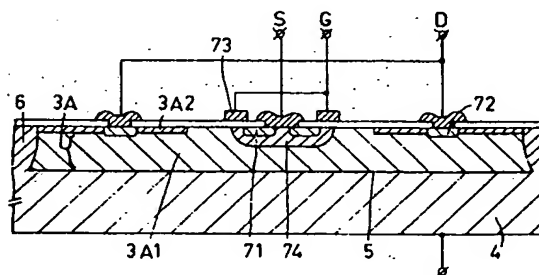


FIG. 7A

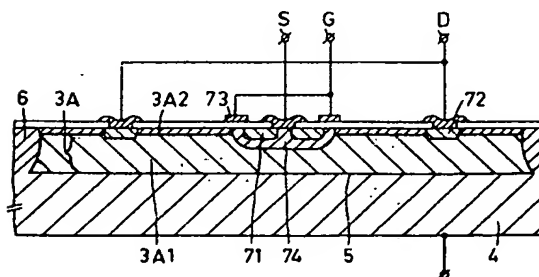


FIG. 7B

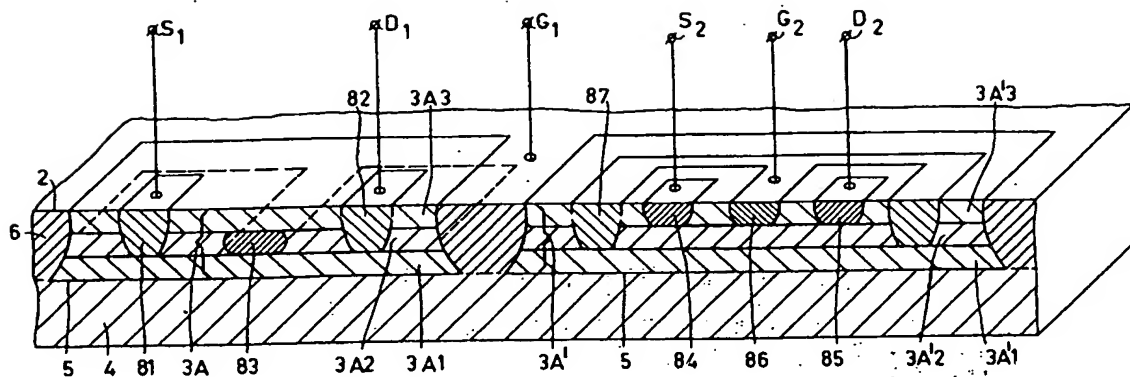


FIG. 8

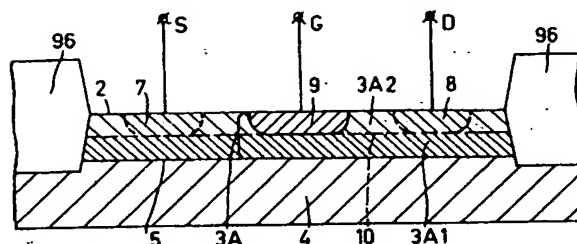


FIG. 9

手続補正書

昭和 36 年 10 月 27 日

特許庁長官 島田 存 樹 殿

1. 事件の表示

昭和 36 年 特 許 願 第 140463 号

2. 発明の名称

半 導 体 装 置

3. 補正をする者

事件との関係 特許出願人

名 称 エヌ・ピー・フィリップス・フルーイランペンファアブリケン

4. 代 理 人

〒100 東京都千代田区霞が関3丁目2番4号
山 崎 ビルディング 7 階
電話 (581) 2241 番 (代表)

(5925) 弁 理 士 杉 村 暁 秀
外 1 名

5.

6. 補正の対象

図面

7. 補正の内容 (別紙の通り)

図面中第3図を訂正図の如く訂正する。

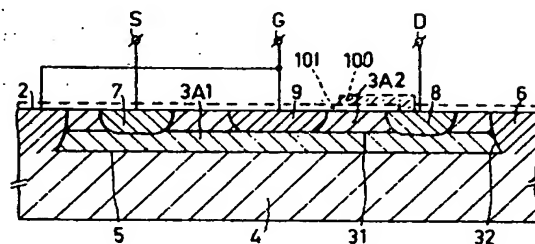


FIG. 3

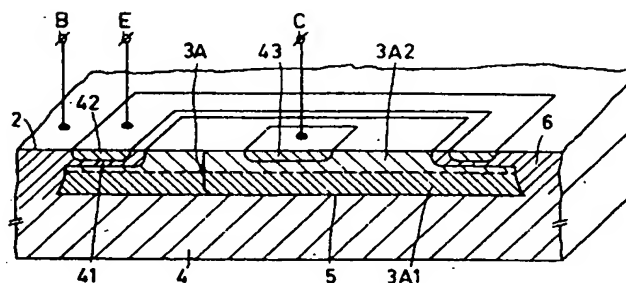


FIG. 4